

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-072473

(43)Date of publication of application : 17.03.1995

(51)Int.Cl.

G02F 1/1335

G02F 1/1343

G02F 1/136

G02F 1/136

(21)Application number : 05-240406

(71)Applicant : SONY CORP

(22)Date of filing : 01.09.1993

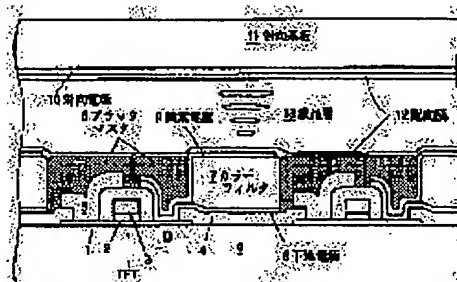
(72)Inventor : INOUE YUKO

(54) COLOR LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent the drop of the effective voltage to be impressed to liquid crystals by improving the pixel electrode arrangement in an on-chip color filter structure.

CONSTITUTION: This color liquid crystal display device has a panel structure consisting of a pair of main substrate 0 and counter substrate 11 and a liquid crystal layer 13 interposed between both. Switching elements consisting of the pixel electrodes 9, color filters 7 and TFTs are formed on the main substrate 0. A counter electrode 10 is formed on the counter substrate 11. The color filters 7 consist of electroeposited films deposited on patterned ground surface electrode 6 electrically connected to the TFTs. The pixel electrodes 9 consist of transparent conductive films which are likewise electrically connected to the TFTs and are patterned and formed on the color filters 7. In addition, the color filters 7 are segmented to every three primary colors and are arranged in a matrix form. Black masks 8 are formed approximately at the same thickness between the blocks.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-72473

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1335	5 0 5		
	1/1343			
	1/136	5 0 0		
		5 1 0		

審査請求 未請求 請求項の数 7 F D (全 11 頁)

(21) 出願番号 特願平5-240406

(22) 出願日 平成5年(1993)9月1日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 井上 祐子

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

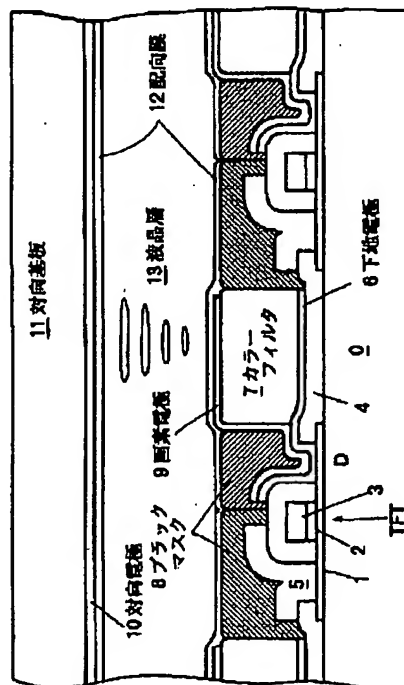
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 カラー液晶表示装置

(57) 【要約】

【目的】 オンチップカラーフィルタ構造における画素電極配置を改善し液晶に印加される実効電圧の低下を防止する。

【構成】 カラー液晶表示装置は、一対の主基板0及び対向基板11と、両者の間に介在する液晶層13とからなるパネル構造を有する。主基板0には画素電極9、カラーフィルタ7及びTFTからなるスイッチング素子が形成されている。対向基板11には対向電極10が形成されている。カラーフィルタ7はTFTに電気接続してパタニングされた下地電極6上に堆積した電着膜からなる。又画素電極9は同じくTFTに電気接続してカラーフィルタ7上にパタニング形成された透明導電膜からなる。加えて、カラーフィルタ7は三原色毎に区画してマトリクス状に配置されており、区画間に略同一厚みでブラックマスク8が形成されている。



【特許請求の範囲】

【請求項1】 一对の主基板及び対向基板と、両者の間に介在する液晶層とからなるパネル構造を有し、主基板には画素電極、カラーフィルタ及びスイッチング素子が形成されており、対向基板には対向電極が形成されているカラー液晶表示装置であって、

前記カラーフィルタは、各スイッチング素子に電気接続してパタニングされた下地電極上に堆積した電着膜からなり、

前記画素電極は同じく各スイッチング素子に電気接続して該電着膜上にパタニング形成された透明導電膜からなる事を特徴とするカラー液晶表示装置。

【請求項2】 前記カラーフィルタは三原色毎に区画してマトリクス状に配置されており、区画間に略同一厚みでブラックマスクが形成されている事を特徴とする請求項1記載のカラー液晶表示装置。

【請求項3】 前記スイッチング素子はトップゲートTFTである事を特徴とする請求項1記載のカラー液晶表示装置。

【請求項4】 前記スイッチング素子はボトムゲートTFTである事を特徴とする請求項1記載のカラー液晶表示装置。

【請求項5】 前記スイッチング素子はMIMである事を特徴とする請求項1記載のカラー液晶表示装置。

【請求項6】 主基板上に配線及びスイッチング素子を集積形成する第1工程と、

コンタクトを介して個々のスイッチング素子に電気接続する下地電極をパタニング形成する第2工程と、

該下地電極を除いて主基板表面をレジストで被覆する第3工程と、

露出した下地電極に対してスイッチング素子を介し通電を行ない三原色のカラーフィルタを選択的に電着する第4工程と、

レジストを除去した後コンタクトを介してスイッチング素子に電気接続する様に画素電極を該カラーフィルタの上にパタニング形成する第5工程と、

主基板に所定の間隙を介して対向基板を接合し該間隙に液晶を封入する第6工程とを含むカラー液晶表示装置の製造方法。

【請求項7】 マトリクス状に分割配置されたカラーフィルタの間に背面露光法でブラックマスクを形成する工程を含む請求項6記載のカラー液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はカラー液晶表示装置に関する。より詳しくは、同一基板上に画素電極、スイッチング素子、カラーフィルタ等が集積的に形成されたアクティブマトリクス型のカラー液晶表示装置に関する。さらに詳しくは、カラーフィルタの形成技術に関する。

【0002】

【従来の技術】 先ず最初に本発明の背景を明らかにする為、図10を参照してアクティブマトリクス型液晶表示装置の一般的な構成を簡潔に説明する。アクティブマトリクス型液晶表示装置はマトリクス状に配列した画素電極101を有する。又個々の画素電極101を駆動するスイッチング素子として薄膜トランジスタ(TFT)102も形成されている。画素電極101の各行間には、TFTを行毎に選択するゲートライン103が配置され、画素電極101の各列間には画像信号を供給する為の信号ライン104が配置される。薄膜トランジスタ102のドレインは対応する画素電極101に接続される一方、ソースは信号ライン104に接続され、さらにゲートはゲートライン103に接続される。又、ドレイン領域の延長部においてゲート絶縁膜を誘電膜とする蓄積容量106が形成される。なお、薄膜トランジスタ102のゲート、ゲートライン103、蓄積容量ライン105は同時に形成され、例えば不純物をドーブした多結晶シリコン膜からなる。

【0003】 図11はアクティブマトリクス型液晶表示装置の他の従来構成を示す。このアクティブマトリクス型液晶表示装置においても、画素電極201がマトリクス状に配列されている。個々の画素電極201を駆動するスイッチング素子として、この従来例ではMIMダイオード202が用いられている。画素電極201の各列間には画像信号を供給する為の信号ライン204が配置されている。MIMダイオード202の一方の端子が対応する画素電極201に接続され、他方の端子が信号ライン204に接続される。これらMIMダイオード202や画素電極201が形成された主基板に対面する対向基板にはアドレスライン203が配置されている。このアドレスライン203は信号ライン204に対して直交している。

【0004】 上述したアクティブマトリクス型液晶表示装置をカラー化する為には各画素電極に対応してRGB三原色のカラーフィルタを形成する必要がある。図12はカラー化されたアクティブマトリクス型液晶表示装置の従来構成を示す模式的な断面図である。主基板301の内表面にはスイッチング素子としてトップゲート型のTFT302が形成されており、そのドレインDには画素電極303が接続している。又TFT302のソースには信号電極304が接続している。この主基板301に対して所定の間隙を介し対向基板305が接合している。対向基板305の内表面には画素電極303と整合してカラーフィルタ306が形成されている。又TFT302を遮断する様にブラックマスク307が形成されている。これらカラーフィルタ306及びブラックマスク307の上には対向電極308が全面的に形成されている。かかる対向基板305と主基板301との間には例えばツイストネマティック配向された液晶層309が

保持されている。この従来例はスイッチング素子としてトップゲートTFTを用いカラーフィルタを対向基板側に形成したものである。

【0005】図13は他の従来例を示す模式的な断面図である。基本的には図12に示した従来例と同一の構造を有しており、理解を容易にする為対応する部分には対応する参照番号を付してある。異なる点は、スイッチング素子としてトップゲートTFTに代え、ボトムゲートTFT312を用いた事である。カラーフィルタ306については図12の従来例と同様に対向基板305側に形成されている。

【0006】図14はさらに他の従来例を示す模式的な断面図である。基本的な構成は図12に示した従来例と同様であり、理解を容易にする為対応する部分には対応する参照番号を付してある。異なる点は、スイッチング素子としてMIMダイオード322を用いた事である。これに関連して主基板301の上には列状に配列した信号ライン324がバタニング形成されている。又、対向基板305にはアドレスラインを構成する対向電極328がストライプ状にバタニング形成されている。この従来例においても、カラーフィルタ306は対向基板側に設けられている。

【0007】図15は先に説明した3個の従来例と異なり、主基板側にカラーフィルタが形成された別の従来例を表わしている。かかる構造はオンチップカラーフィルタと呼ばれる。スイッチング素子としてはボトムゲート型のTFTを用いており、基本的な構成は図13に示した従来例と同一であり、理解を容易にする為対応する部分には対応する参照番号を付してある。この従来例では画素電極303と整合してカラーフィルタ306が設けられている。このオンチップカラーフィルタ306は電着法により形成される。又、ボトムゲート型のTFT312及び信号ライン304を遮閉する様にブラックマスク307が形成されている。

【0008】図16はオンチップカラーフィルタの他の従来例を示す模式的な断面図である。スイッチング素子としてMIMダイオードを用いており、基本的な構成は図14に示した先の従来例と同一であり、理解を容易にする為対応する部分には対応する参照番号を付してある。本従来例においても、画素電極303の上に整合して電着法によりカラーフィルタ306が形成されている。又MIMダイオード322及び信号ライン324を遮閉する様にブラックマスク307が形成されている。以上、図15及び図16に示した電着法によるオンチップカラーフィルタの従来例は、例えば特開昭63-53520号公報、特開昭63-55523号公報、特開平2-81025号公報等に開示されている。

【0009】

【発明が解決しようとする課題】図12、図13及び図14に示した従来例では、カラーフィルタとブラックマ

スクが対向基板側に形成されている。従って、主基板側に設けられた画素電極との位置合わせ精度に応じて、画素開口率が大きく変わってしまうという課題がある。

又、開口率はカラーフィルタの平坦性や寸法精度、スイッチング素子が形成された主基板の平坦性等により影響を受ける。アクティブマトリクス型液晶表示装置の微細化に伴ない、開口率は厳しくなっていく為、バタニング以外の要因による開口率の犠牲はできる限り避ける必要がある。しかしながら、対向基板側にカラーフィルタを形成する場合平坦性及び寸法精度が良好な微細カラーフィルタを作製する為コストが非常に高くなるという課題がある。

【0010】一方、図15及び図16に示したオンチップカラーフィルタの従来例の場合、画素電極の上に1.5 μ m程度の絶縁物であるカラーフィルタを電着形成する為、液晶層に対してはこの絶縁物を介して駆動電圧を印加しなくてはならない。従って液晶層に加わる実効電圧が低くなりコントラストや消費電力の面で課題が残る。

【0011】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明はコントラストの低下や消費電力の増大を招く事なく位置合わせ不要のオンチップカラーフィルタ構造を提供する事を目的とする。又、低コストで平坦性及び寸法精度に優れたカラーフィルタを提供し高解像度及び高精細のアクティブマトリクス型液晶表示装置の開口率を改善する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち本発明にかかるカラー液晶表示装置は基本的に、一対の主基板及び対向基板と、両者の間に介在する液晶層とからなるパネル構造を有する。主基板には画素電極、カラーフィルタ及びスイッチング素子が形成されており、対向基板には対向電極が形成されている。本発明の特徴事項として前記カラーフィルタは、各スイッチング素子に電気接続してバタニングされた下地電極上に堆積した電着膜からなり、前記画素電極は同じく各スイッチング素子に電気接続して該電着膜上にバタニング形成された透明導電膜からなる。好ましくは、前記カラーフィルタは三原色毎に区画してマトリクス状に配置されており、区画間に略同一厚みでブラックマスクが形成されている。前記スイッチング素子としては、トップゲートTFT、ボトムゲートTFT、MIMダイオード等を用いる事が可能である。

【0012】かかる構成を有するカラー液晶表示装置は以下の製造方法により作製される。先ず第1工程において、主基板上に配線及びスイッチング素子を集積形成する。第2工程において、コンタクトを介して個々のスイッチング素子に電気接続する下地電極をバタニング形成する。第3工程において、該下地電極を除いて主基板表面をレジストで被覆する。第4工程において、露出した下地電極に対してスイッチング素子を介し通電を行ない

5

三原色のカラーフィルタを選択的に電着する。第5工程において、レジストを除去した後コンタクトを介してスイッチング素子に電気接続する様に画素電極を該カラーフィルタの上にパタニング形成する。最後に第6工程において、主基板に所定の間隙を介して対向基板を接合し該間隙に液晶を封入する。好ましくは、マトリクス状に分割配置されたカラーフィルタの間に背面露光法でブラックマスクを形成する工程を含んでいる。

【0013】

【作用】本発明によれば、従来のオンチップカラーフィルタ構造と異なり、下地電極を予め形成しこれを利用して電着によりカラーフィルタを設けている。このカラーフィルタに整合して画素電極を形成している。従って、画素電極は液晶層と直接接する事が可能になり実効駆動電圧の低下を防止できる。又、電着法を用いたカラーフィルタは平坦性及び寸法精度に優れている。さらに電着法によるカラーフィルタの作製は低コストである。この電着法を用いて画素電極の下にカラーフィルタを作製する事によって、主基板の平坦化が可能になる。加えてコントラストや消費電力に悪影響を与える事なく、オンチップカラーフィルタ及びオンチップブラックマスクが同時に低コストで実現可能になる。

【0014】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかるカラー液晶表示装置の第1実施例を示す模式的な部分断面図である。ガラス又は石英等の絶縁材料からなる主基板0の上には多結晶シリコン膜（もしくはアモルファスシリコン膜）1が所定の形状でパタニング形成されている。この多結晶シリコン膜1を素子領域としてトップゲート型のTFTが形成されスイッチング素子として機能する。この多結晶シリコン膜1の上にゲート絶縁膜2を介しゲート電極3が形成されている。同時に、ゲートライン及び蓄積容量ライン（図示せず）も形成される。その上にはPSG等からなる層間絶縁膜4及びアルミニウム等の導電性薄膜からなる信号ライン5がこの順で形成されている。一方画素領域にはTFTのドレインDに電気接続して下地電極6が所定の形状にパタニング形成されている。この下地電極6はITO等の透明導電薄膜から構成されている。この下地電極6に整合して電着膜からなるカラーフィルタ7が形成されている。又、カラーフィルタ7以外の部分にはブラックマスク8が形成されている。ブラックマスク8とカラーフィルタ7の表面は略同一レベルにあり主基板0は平坦化されている。最後に、カラーフィルタ7と整合する様に画素電極9が形成されている。この画素電極9はコンタクトを介してTFTのドレインDに電気接続している。画素電極9は下地電極6と同様にITO等の透明導電薄膜からなる。

【0015】一方該主基板0に対して所定の間隙を介して対面配置された対向基板11はガラス等の絶縁材料か

6

ら構成されている。対向基板の内表面には全面的にITO等からなる対向電極10が形成されている。対向電極10の表面にはポリイミド等の配向膜12が塗布され、所定の配向処理を施されている。なお、主基板0の内表面にも同様に配向膜12が形成されている。対向基板11と主基板0の間隙内には例えばツイストネマティック配向された液晶層13が封入され、アクティブマトリクス型のカラー液晶表示装置が構成される。

【0016】次に図2及び図3を参照して、図1に示したカラー液晶表示装置の製造方法を詳細に説明する。先ず図2の工程Aにおいて、主基板（図示省略）の上にTFT、信号ライン5、下地電極6等を半導体プロセスにより集積的に形成する。そして、下地電極6以外の部分をレジスト14でカバーする。このカバーされた領域にはTFTのドレイン側コンタクトCONも含まれる。次に工程Bにおいてグリーン（G）の画素に対応する信号ライン5を電気的に選択し、電着処理を施すと下地電極6に整合してグリーンの電着膜からなるカラーフィルタ7が形成される。この電着処理は、グリーンに着色した電着溶液が入った槽に被塗物を浸漬し、対極板との間に適当な条件下で直流電流を通電し、被塗物に着色された電着膜を形成するものである。一旦成膜された電着膜はブリベークを施す事により導電性を失なう。電着溶液は着色顔料を分散した高分子樹脂の水溶液又は水分散液であり、例えばカルボキシル基を有するポリエステル樹脂を有機アミンで中和したアニオン型を用いる事ができる。又着色材としては有機顔料を使用し精密分散にてカラーフィルタの品質を確保している。

【0017】次に工程Cにおいてレッド（R）の画素に対応する信号ラインを電気的に選択し、レッドの電着液に浸漬し赤色のカラーフィルタ7を形成する。この時、先に形成したグリーンの電着膜はブリベークにより導電性を失っているのでレッドの電着膜が重ねて付着する惧れはない。同様に、ブルー（B）に着色された電着膜も対応する画素領域に形成される。RGB三原色のカラーフィルタが全て成膜された段階で本焼成を行なう。次に工程Dで、使用済みになったレジスト14を剥離し、コンタクトCONを露出させる。続いて図3の工程Eにおいて、各カラーフィルタ7に整合して画素電極9をパタニング形成する。この画素電極9はコンタクトCONを介してトップゲート型TFTのドレインDに電気接続している。次に工程FにおいてRGBカラーフィルタを遮光膜として背面露光法によりブラックマスク8を部分的に形成する。この背面露光法はRGBカラーフィルタを紫外線の遮光膜として活用し、RGBカラーフィルタ間のギャップ部に整合して主基板の上にブラックマスク8を設けるものである。紫外線の光量を調整する事によりブラックマスク8の厚さが制御でき、RGBカラーフィルタと同一膜厚に成膜可能である。ブラックマスク用材料は主に光硬化性樹脂と黒色着色材の混合物からな

7

る。なお遮光性の信号ライン5の上にはブラックマスクは形成されない。最後に工程Gにおいて、主基板平坦化の為、全ての信号ラインを選択した状態でブラックの電着液に浸漬し、信号ライン5上に他のブラックマスク8を堆積する。なお、この工程Gは前述した工程Fの先に実施しても良い。又全信号ラインに電圧を印加する時、TFTは非導通状態にしておき画素電極9に電圧が加わらない様にしている。

【0018】以上の様な製造工程によれば、カラーフィルタ及びブラックマスクを作製する為に増加するPR工程は1回で済む。この為かなり低コストでオンチップカラーフィルタの作製が可能になる。又オンチップカラーフィルタの上に画素電極を形成している為液晶に印加される駆動電圧の損失もない。さらに、薄膜トランジスタ等が形成された主基板の上にカラーフィルタを堆積させる事により主基板の平坦化も同時に実現する事ができる。加えて、対向基板に対する位置合わせを行なう必要がなくなる為、開口率が改善される事はいうまでもない。同時に、本製造方法によりオンチップカラーフィルタを作製すると、TFTが破壊されている画素(輝点欠陥画素)にはブラックマスクが付着する事になる。よって輝点欠陥は減点欠陥となり目立たなくなるので画像品位が向上し歩留まり改善に繋がる。

【0019】図4は、本発明にかかるカラー液晶表示装置の第2実施例を示す模式的な部分断面図である。図示する様に、ガラス又は石英等の絶縁材料からなる主基板30の上にゲートライン31が形成されている。このゲートライン31はモリブデン/タングステン合金等の導電性薄膜を所定の形状にパタニングして得られる。このゲートライン31を被覆する様に2層のゲート絶縁膜32、33が形成されている。その上には多結晶シリコン層(もしくはアモルファスシリコン層)34が所定の形状にパタニング形成されている。この多結晶シリコン層34を素子領域としてボトムゲート型のTFTが形成される。多結晶シリコン層34の上には二酸化シリコン等からなる絶縁膜35がゲートライン31に整合して設けられる。この絶縁膜35をエッチングストッパとしてn+のシリコン膜36を所定の形状にパタニング形成し、ボトムゲート型TFTのソース及びドレインとする。ソースに電気接続して信号ライン37を形成する。又ドレインと電気接続して下地電極38を形成する。下地電極38の上には電着膜からなるカラーフィルタ39が形成されている。又カラーフィルタ39以外の領域にはブラックマスク40が埋め込まれている。最後に、画素電極41がカラーフィルタ39の上に整合して設けられている。この画素電極41はボトムゲート型TFTのドレインに電気接続している。

【0020】一方、全面に対向電極42が形成されたガラス等からなる対向基板43が、主基板30に対面して配置されている。これら対向基板43、主基板30の内

8

表面には夫々配向膜44が塗布され所定の配向処理が施されている。両基板30、43の間隙内には液晶層45が封入され、アクティブマトリクス型のカラー液晶表示装置が構成される。

【0021】次に図5及び図6を参照して、図4に示した第2実施例にかかるカラー液晶表示装置の製造方法を詳細に説明する。まず図5の工程Aにおいて主基板(図示せず)の上にボトムゲート型のTFT、信号ライン37、下地電極38等を集積的に形成する。続いて下地電極38以外の部分をレジスト46でカバーする。このカバーされた領域にはボトムゲート型のTFT及び信号ライン37が含まれる。次に工程Bにおいてグリーンの画素に対応する信号ラインを電気的に選択し、対応するボトムゲート型のTFTを導通状態にした上で主基板をグリーンの電着液に浸漬し、グリーンのカラーフィルタ39を成膜する。この後プリベークを行ないカラーフィルタ39を非導電化する。続いて工程Cにおいて同様の電着法により所定の下地電極にレッドのカラーフィルタを成膜する。さらに、ブルーのカラーフィルタも成膜する。なお、グリーン、レッド、ブルーの順序は特にこれに限られるものではない。三原色RGBカラーフィルタを全て電着した後焼成を行なう。次に工程Dにおいて、不要になったレジストを剥離しボトムゲート型のTFTを露出させる。続いて図6の工程Eにおいて、カラーフィルタ39と整合する様にその上に画素電極41をパタニング形成する。この画素電極41はTFTのドレインに電気接続される。次に工程Fにおいて、RGBカラーフィルタを遮光膜として背面露光法によりブラックマスク36を形成する。なお、背面露光法を用いた場合には遮光性の信号ライン37の領域にブラックマスクが形成できない。最後に工程Gにおいて、信号ライン37に所定の電圧を印加しブラックの電着液に浸漬して信号ライン37上に別のブラックマスク36を堆積する。

【0022】次に図7を参照して、本発明にかかるカラー液晶表示装置の第3実施例を説明する。図示する様に、ガラス又は石英等の絶縁材料からなる主基板50の上に、下電極51が所定の形状にパタニング形成されている。この下電極51はタンタル等の金属等から構成されている。その上に、陽極酸化法により絶縁膜52を形成する。本例ではこの絶縁膜52はタンタル酸化膜である。又、下電極51に隣接して下地電極53も形成されている。この下地電極53と下電極51を接続する様に上電極54が形成されている。この上電極54はクロム等の金属からなる。下地電極53の上には電着膜からなるカラーフィルタ55が形成されている。個々のカラーフィルタ55の間にはブラックマスク56が埋め込まれている。最後に、カラーフィルタ55と整合して画素電極57がパタニング形成されている。この画素電極57はコンタクトを介して下地電極53と電気接続している。

【0023】一方、信号ラインとなる下電極51に対してマトリクス状に交差配列した対向電極58（アドレスライン）が対向基板59の内表面に形成されている。この対向基板59は所定の間隙を介して主基板50に対面配置されている。対向基板59及び主基板50の内表面には配向膜60が成膜されている。両基板50、59の間隙内には液晶層61が封入されており、カラー液晶表示装置を構成する。

【0024】次に図8及び図9を参照して、図7に示した第3実施例にかかるカラー液晶表示装置の製造方法を詳細に説明する。先ず最初に図8の工程Aにおいて、主基板（図示せず）の上にMIMダイオード及び下地電極53を形成する。前述した様に、MIMダイオードは下電極51、絶縁膜52、上電極54の3層構造からなる。さらに、所定のコンタクト領域CONを被覆する様にレジスト62をパタニング形成する。次に工程Bで、グリーンの画素に対応した信号ラインを電気的に選択し、グリーンの電着液に浸漬して緑色のカラーフィルタ55を下地電極53の上に電着する。続いて工程Cにおいて、レッドの画素に対応する信号ラインを選択しレッドの電着液に浸漬して赤色のカラーフィルタ55を電着する。同様に、ブルーの電着液からなるカラーフィルタも形成する。RGB三原色のカラーフィルタを全て貼着した段階で本焼成を行なう。

【0025】次に工程Dで、不要となったレジストを剥離しコンタクト領域CONを露出させる。続いて図9の工程Eにおいて、カラーフィルタ55の上に画素電極57をパタニング形成する。なおこの画素電極57はコンタクト領域CONにおいて下地電極53と電気接続する。最後に工程Fにおいて、RGBカラーフィルタを遮光マスクとして、背面露光法によりブラックマスク56を形成する。

【0026】

【発明の効果】以上説明した様に、本発明によれば、下地電極を予め形成しその上に電着法でカラーフィルタを設けている。このカラーフィルタの上に整合して画素電極を設けている。これにより、画素電極は液晶層と直接接触する構造となり液晶に印加される実効電圧の低下を防ぐ事が可能となる。この為、コントラストの低下や消費電力の増大等が防止できるという効果がある。又、電着法により形成されたカラーフィルタは平坦性が優れており、主基板の平坦化を可能にするという効果がある。電着法で作製する為PR工程が少なく低コスト化が図れるという効果がある。又、オンチップカラーフィルタとして主基板に直接形成する事から寸法精度にも優れ液晶表示装置の画素が微細になっても開口率を下げる事なく、カラー液晶表示装置の高精細化及び高開口率化に多

大な寄与をしその効果は絶大なものがある。加えて、ブラックマスクを電着法により形成する事により、輝点欠陥画素を減点欠陥画素に転換でき、画像品位を非常に高めるという効果も得られる。

【図面の簡単な説明】

【図1】本発明にかかるカラー液晶表示装置の第1実施例を示す部分断面図である。

【図2】第1実施例の製造工程図である。

【図3】同じく第1実施例の製造工程図である。

【図4】本発明にかかるカラー液晶表示装置の第2実施例を示す部分断面図である。

【図5】第2実施例の製造工程図である。

【図6】同じく第2実施例の製造工程図である。

【図7】本発明にかかるカラー液晶表示装置の第3実施例を示す断面図である。

【図8】第3実施例の製造工程図である。

【図9】同じく第3実施例の製造工程図である。

【図10】従来のアクティブマトリクス型液晶表示装置の一例を示す等価回路図である。

【図11】従来のアクティブマトリクス型液晶表示装置の他の例を示す等価回路図である。

【図12】従来のカラー液晶表示装置の一例を示す断面図である。

【図13】従来のカラー液晶表示装置の他の例を示す断面図である。

【図14】従来のカラー液晶表示装置の別の例を示す断面図である。

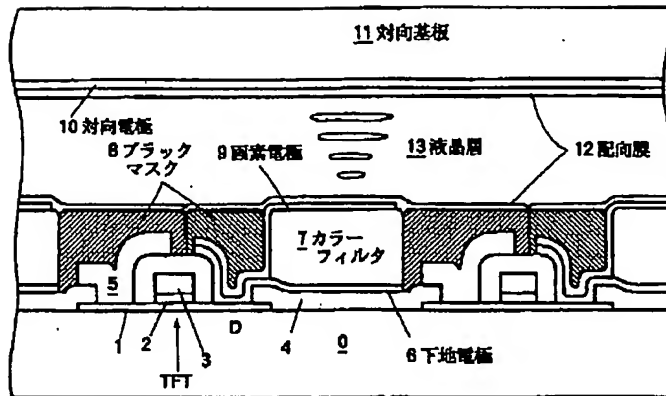
【図15】従来のカラー液晶表示装置のさらに別の例を示す断面図である。

【図16】従来のカラー液晶表示装置のさらに別の例を示す断面図である。

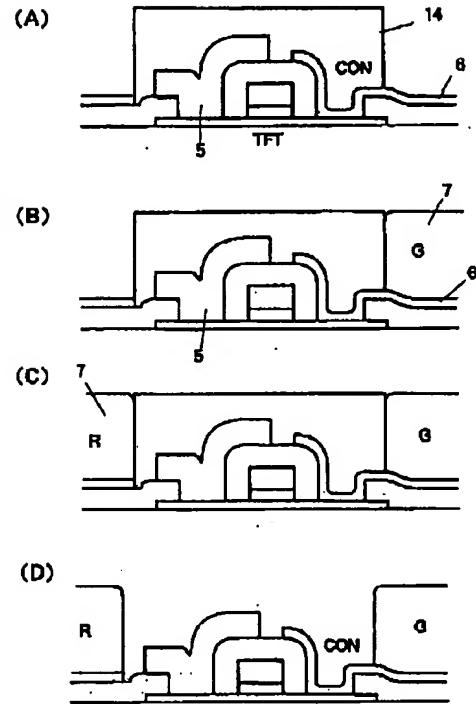
【符号の説明】

- 0 主基板
- 1 多結晶シリコン膜
- 2 ゲート絶縁膜
- 3 ゲート
- 4 層間絶縁膜
- 5 信号ライン
- 6 下地電極
- 7 カラーフィルタ
- 8 ブラックマスク
- 9 画素電極
- 10 対向電極
- 11 対向基板
- 12 配向膜
- 13 液晶層

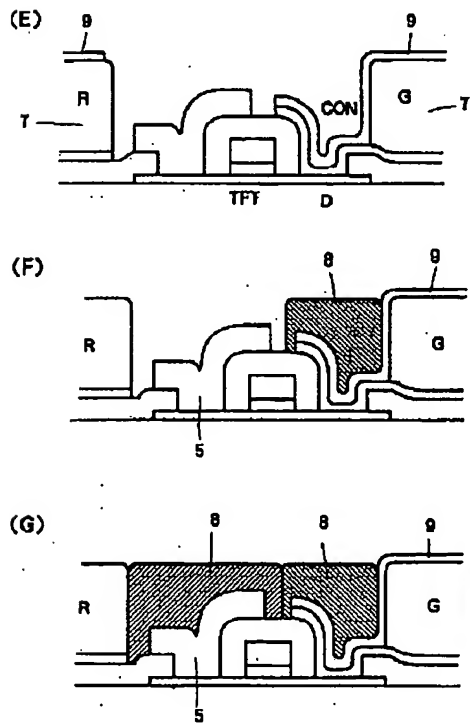
【図1】



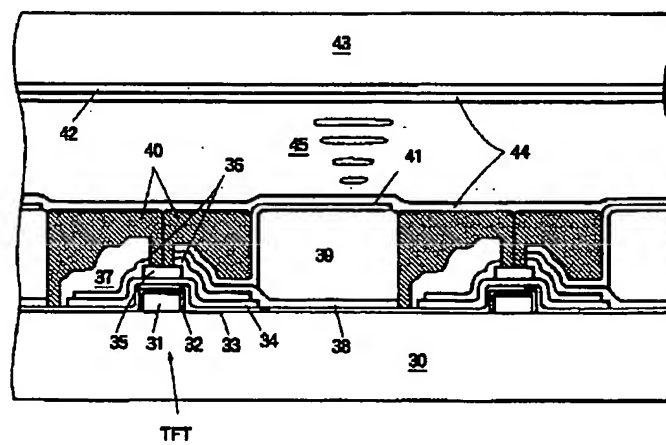
【図2】



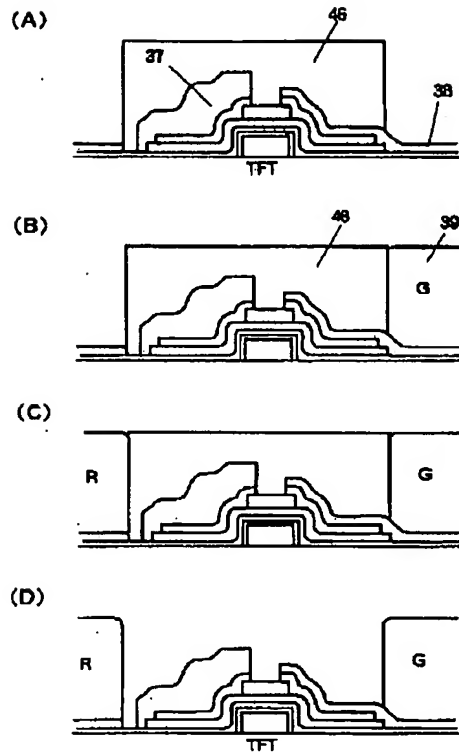
【図3】



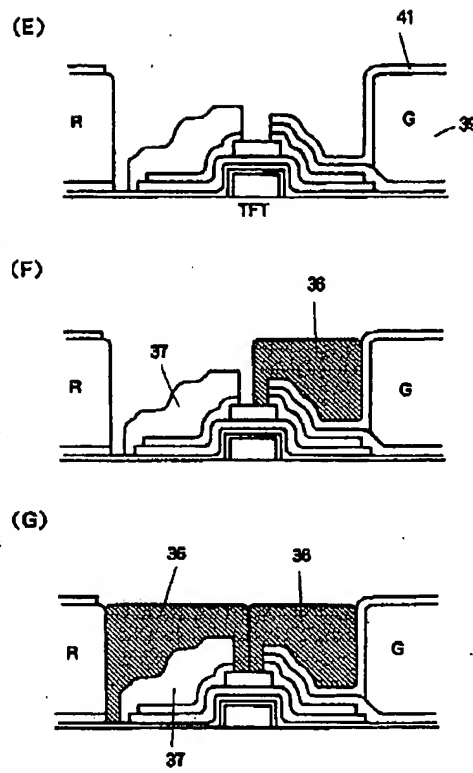
【図4】



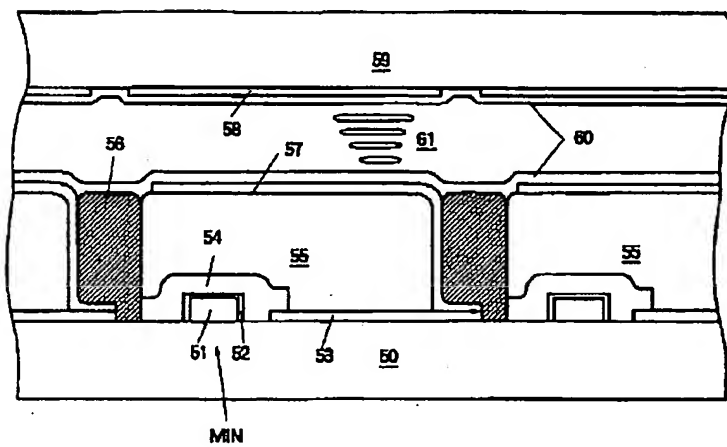
【図5】



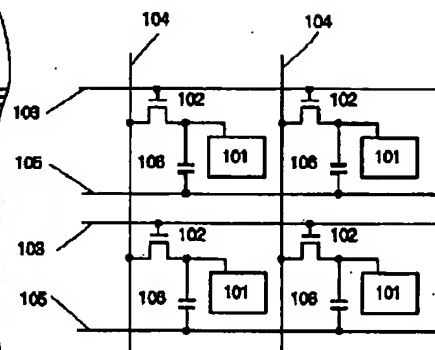
【図6】



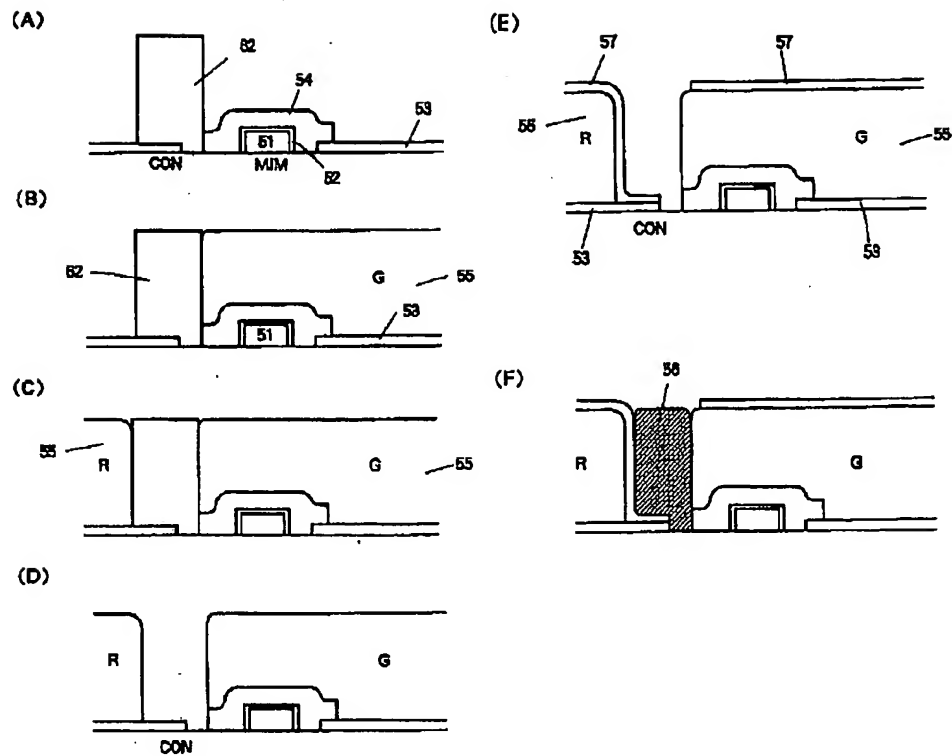
【図7】



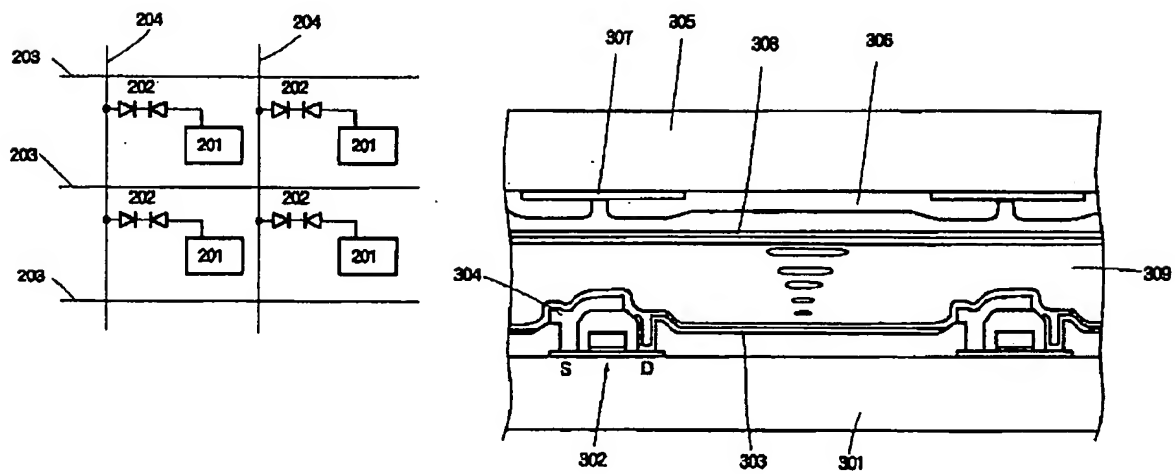
【図10】



【図9】



【图 1 2】



A cross-sectional view of a multi-layered structure. The structure consists of several layers. The top layer is labeled 305. Below it is a layer with a central opening, labeled 306. The next layer is labeled 307. Below that is a layer with a central opening, labeled 308. The bottom layer is labeled 309. The central opening in the bottom layer is labeled 322. The side walls of the bottom layer are labeled 324. The side walls of the layer above it are labeled 328. The central opening in the layer above that is labeled 303. The side walls of the layer above that are labeled 304. The top layer is labeled 301.

A cross-sectional view of a semiconductor device. The device consists of a central channel region (303) and two side regions (304). The side regions are filled with a material (307) and contain a series of stacked, curved layers (312). The central channel region (303) is defined by a central layer (306) and is flanked by two side layers (301). The top of the device is covered by a layer (305) and a thin layer (308). The bottom of the device is a substrate (309). The side regions (304) are separated from the central channel region (303) by a layer (307). The side regions (304) are also labeled with 'S' and 'D' at the bottom, indicating source and drain regions. The central channel region (303) is labeled with 'G' at the bottom, indicating a gate region.

【図16】

